

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020000043732 A
 (43)Date of publication of application: 15.07.2000

(21)Application number: 1019980060149
 (22)Date of filing: 29.12.1998

(71)Applicant: KOREA TELECOM
 (72)Inventor: KO, JONG SEOK
 KIM, GYEON SU

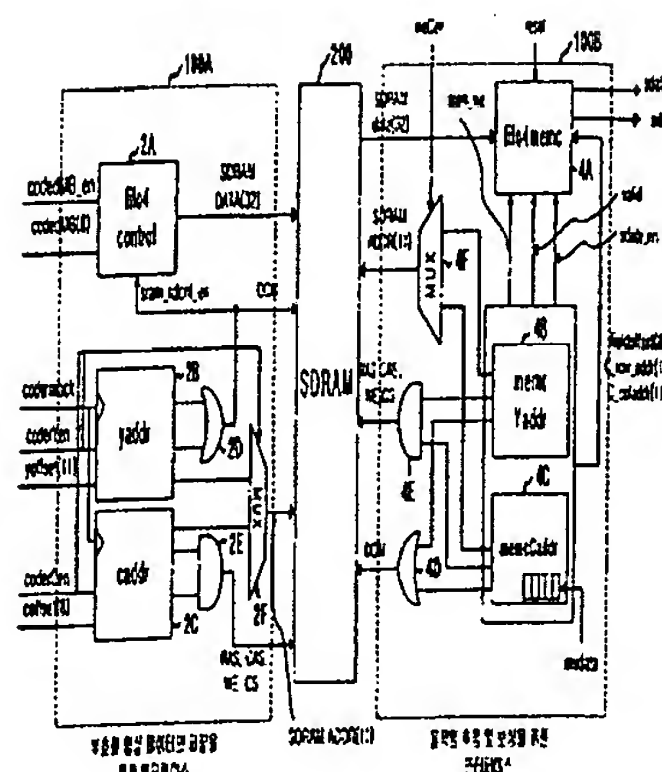
(51)Int. Cl. H04N 7/24

(54) ENCODED VIDEO DATA INTERFACE APPARATUS AND METHOD

(57) Abstract:

PURPOSE: A coded video data interface apparatus is provided to reduce the manufacturing costs with the decrease of a bit width and the hardware complexity by using a fast and easily controllable synchronous SDRAM.

CONSTITUTION: A memory(SDRAM) performs the input and output of data according to the addressing. A first interface unit(100A) is connected to an external encoder and stores the data produced from the encoder in the memory(SDRAM). A second interface unit(100B) is connected to an external motion estimating and compensating unit and transmits the data stored temporarily in an internal output buffer to the motion estimating and compensating unit according to the timing allocated in the encoder. The memory is constituted with SDRAMs.



COPYRIGHT 2000 KIPO

Legal Status

Date of final disposal of an application (20020318)

Patent registration number (1003337450000)

Date of registration (20020410)

10-0333745

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁴ H04N 7/24	(45) 공고일자 2002년 06월 20일 (11) 등록번호 10-0333745 (24) 등록일자 2002년 10월 10일
(21) 출원번호 (22) 출원일자	10-1998-0060149 1998년 12월 29일
	(55) 공개번호 (43) 공개일자
	특 2000-0043732 2000년 07월 15일

(73) 특허권자	주식회사 케이티 장기 성남시 분당구 정자동 205 권건수
(72) 발명자	대전광역시 서구 내동 220번지 롯데아파트 117-101 고종석 대전광역시 유성구 송강동 황송아파트 205-1502 최하림인 건성
(74) 대리인	

상사권 : 조경원
(54) 부호화영상데이터인터페이스장치및 그방법

요약

1. 청구 범위에 기재된 발명이 속한 기술분야
본 발명은 부호화 영상 데이터 인터페이스 장치 및 그 방법과 상기 방법을 실현시키기 위한 프로그램을 실행시킬 수 있는 기록매체에 관한 것임.
2. 발명이 해결하려고 하는 기술적 과제

본 발명은 부호화(압축)된 데이터를 부호화 장치로부터 입력받아 움직임추정 및 보상을 위한 데이터로 변환할 수 있도록 인터페이스를 제공할 때, 데이터의 일시 저장을 위한 내부 버퍼링을 제공하고 인터페이스를 위한 하드웨어 복잡도를 줄여 주는, 부호화 영상 데이터의 인터페이스 장치 및 그 방법과, 상기 방법을 실현시키기 위한 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록매체를 제공하고자 함.

3. 발명의 해결방법의 요지

본 발명은 부호화 영상데이터 인터페이스 장치에 있어서, 하드웨어지정에 따라, 데이터의 입/출력이 이루어지는 저장수단; 외부의 부호화장치에 연결되어 상기 부호화장치에서 생성되는 데이터를 상기 저장수단에 저장하기 위한 제1 인터페이스 수단; 및 외부의 움직임추정 및 보상장치에 연결되어 있으며, 내부의 출력버퍼에 일시 저장되어 있는 데이터를 상기 부호화장치에서 발동되는 타이밍에 따라 상기 움직임추정 및 보상장치로 전달하기 위한 제2 인터페이스 수단을 포함함.

4. 발명의 중요한 용도

본 발명은 비디오 인코더의 부호화 영상 데이터 인터페이스에 이용됨.

도면도

도2

발명자

도면의 간단한 설명

- 도 1 은 본 발명에 따른 부호화 영상 데이터 인터페이스 장치가 이용되는 영상처리 시스템의 일실시에 구성도.
도 2 는 본 발명에 따른 부호화 영상 데이터 인터페이스 장치의 일실시에 구성도.
도 3 은 상기 도 2의 yaddr 내의 제어신호 발생 장치의 일실시에 구성도.
도 4 는 상기 도 3의 제어신호 발생기에 대한 각 신호들의 타이밍 관계도.
도 5 는 상기 도 2의 yaddr 내의 하드레스 발생장치의 일실시에 구성도.
도 6 은 상기 도 5의 각 신호에 대한 타이밍 관계도.
도 7 은 상기 도 2의 caddr 내의 제어신호 발생 장치의 일실시에 구성도.

- 도 8 은 상기 도 7의 제어신호 발생기에 대한 각 신호들의 타이밍 관계도.
도 9 는 상기 도 2의 caddr 내의 하드레스 발생장치의 일실시에 구성도.
도 10 은 상기 도 9의 각 신호에 대한 타이밍 관계도.
도 11 은 상기 도 2의 ifidcontrol 블록의 일실시에 구성도.
도 12 는 상기 도 2의 memcYaddr 내의 제어신호 발생 장치의 일실시에 구성도.
도 13 은 상기 도 12의 각 신호에 대한 타이밍 관계도.
도 14 는 상기 도 2의 memcYaddr 내의 하드레스 발생장치의 일실시에 구성도.
도 15 는 상기 도 14의 각 신호에 대한 타이밍 관계도.
도 16 은 상기 도 2의 memcaddr 내의 제어신호 발생 장치의 일실시에 구성도.
도 17 은 상기 도 16의 각 신호에 대한 타이밍 관계도.
도 18 은 상기 도 2의 memcaddr 내의 하드레스 발생장치의 일실시에 구성도.
도 19 는 상기 도 2의 ifidmemc 내의 부호화된 Y 영상 데이터를 위한 제어장치의 일실시에 구성도.
도 20 은 본 발명에 따른 부호화된 Y 영상 데이터에 대한 하드레스 생성 과정을 나타낸 일실시에 설명도.
도 21 은 상기 도 19의 각 데이터에 대한 타이밍 관계도.
도 22 는 상기 도 2의 ifidmemc의 부호화된 Y 영상 데이터 버퍼링을 위한 제어장치의 일실시에 구성도.

* 도면의 주요 부분에 대한 설명

- 100 : 부호화 영상데이터 인터페이스장치
200 : 메모디램(SDRAM) 300 : 부호화장치
400 : 움직임추정 및 보상장치
24 : 부호화된 8비트 매크로블록 데이터를 입력받아 32비트로 출력하는 장치(ifidcontrol)
28 : 부호화된 매크로블록 데이터 중에서 루미넌스 데이터를 어스디램에 쓰기 위한 하드레스 생성 장치(Yaddr)
2C : 부호화된 매크로블록 데이터 중에서 크로미넌스 데이터를 어스디램에 쓰기 위한 하드레스 생성 장치(caddr)
20 : 오아 게이트 2E : 앤드 게이트
2F : 멀티플렉서
4A : 8비트의 움직임 추정을 위한 탐색영역 데이터를 입력받아 32비트로 출력하는 장치(ifidmemc)
4B : 움직임 추정을 위한 탐색영역 데이터 중에서 루미넌스 데이터를 어스디램에 쓰기 위한 하드레스 생성 장치(memYaddr)
4C : 움직임 추정을 위한 탐색영역 데이터 중에서 크로미넌스 데이터를 어스디램에 쓰기 위한 하드레스 생성 장치(memcaddr)
40 : 오아 게이트 4E : 앤드 게이트
4F : 멀티플렉서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 압축 2(MPEG-2) 비디오 인코더 등과 같은 영상처리시스템의 인터페이스 기술에 관한 것으로 특히 영상 신호처리 분야에서 영상 신호를 압축 및 복원하는 시스템이 실시간으로 처리 가능하도록 하기 위해, 대량의 부호화 영상 데이터를 일시 저장 및 액세스하는 부호화 영상데이터 인터페이스 장치 및 그 방법과, 상기 방법을 실현시키기 위한 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록매체에 관한 것이다.

MPEG-2 비디오 인코더의 하드웨어는 입력영상 처리모듈(IP module), 부호화가 제어모듈(control module), 움직임/추정보상모듈(MEC module), 포레이밍 메모리모듈, 이산여현변환(IDT)/양자화가 모듈, 및 가변길이 부호화가 모듈(ALC module)을 포함한다.

이중에서 포레이밍 메모리모듈의 인터페이스는 입력영상 처리모듈로부터의 데이터 저장 및 출력, 부호화된 영상의 일시적인 저장, 움직임 추정/보상을 위해 필요한 영상(포레이밍/필드)의 저장과 출력, 비트율 조정

를 위한 부호화된 비트열의 저장 및 출력 등의 역할을 한다. 프레임 메모리 설계는 이들 각 모듈들과의 인터페이스에 필요한 일괄력 버퍼의 크기를 가능한 적게 사용하며 각 모듈들이 데이터를 처리할 수 있도록 데이터링을 맞추는 것이 중요점이 된다.

중량의 인터페이스에서는 외부에 일반 디램(Dynamic RAM)을 사용함으로써 내부 액세스램(SRAM) 메모리의 버퍼링(buffering)이 많이 필요했다. 즉, 임출력 데이터의 속도가 느려서 내부 메모리가 많이 필요했다.

아를 처리하기 위해서, 종래에는 외부 디램을 여러개 사용하여 임출력 비트 폭을 크게 함으로써 임출력 데이터의 양을 불리는 방식으로 해결하였다. 그러나, 이는 칩(chip)의 임출력 핀수를 증가시키는 문제가 있었다. 결과적으로, 종래의 구조는 인터페이스 핀(pin)수, 내부 메모리(에스램 램) 등으로 인해서 집적화(integration)하기가 어렵다는 문제점이 있었다.

본 발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기 문제점을 해결하기 위해 제안된 것으로, 부호화(압축)된 데이터를 부호화 장치로부터 임의받아 움직임추정 및 보상을 위한 데이터로 활용할 수 있도록 인터페이스를 제공할 때, 데이터의 일시 저장을 위한 내부 버퍼링을 줄이고 인터페이스를 위한 하드웨어 복잡도를 줄여 주는, 부호화 영상 데이터의 인터페이스 장치 및 그 방법과, 상기 방법을 실현시키기 위한 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록매체를 제공하는데 목적이 있다.

본 발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명은, 부호화 영상데이터 인터페이스 장치에 있어서, 마드레스 장치에 따라, 데이터의 입/출력이 이루어지는 저장수단; 외부의 부호화장치에 연결되어 상기 부호화장치에서 생성되는 데이터를 상기 저장수단에 저장하기 위한 제1 인터페이스 수단; 및 외부의 움직임추정 및 보상장치에 연결되어 있으며, 내부의 출력버퍼에 일시 저장되어 있는 데이터를 상기 부호화장치에서 출력되는 데이터에 따라 상기 움직임추정 및 보상장치로 전달하기 위한 제2 인터페이스 수단을 포함하여 이루어진 것을 특징으로 한다.

상기 목적을 달성하기 위한 본 발명은, MPEG-2 비디오인코더의 부호화 영상데이터의 인터페이스장치에 있어서, 마드레스 장치에 따라, 데이터의 입/출력이 이루어지는 메모리로서의 액세스램(SRAM); 부호화장치에 연결되고 상기 부호화장치의 부호화과정에서 생성되는 데이터를, 상기 저장수단에 저장하기 위해, 루미넌스(Y) 데이터를 저장하는데 필요한 액세스램(SRAM) 마드레스 및 그 제어 신호를 생성하는 수단; 크로미넌스(CbCr) 데이터를 저장하는데 필요한 액세스램(SRAM) 마드레스 및 그 제어 신호를 생성하는 수단; 임출력 데이터인 부호화된 매크로블록(macroblock) 데이터를 상기 액세스램(SRAM)에 저장하기 전에 데이터를 버퍼링하는 수단; 루미넌스(Y) 마드레스와 크로미넌스(CbCr) 마드레스를 멀티플렉싱하여, 상기 액세스램(SRAM)의 마드레스를 제공하는 수단; 및 상기 제어 신호를 생성하는 수단에서 생성된 신호들을 논리조합하여 상기 액세스램(SRAM)의 제어신호를 제공하는 수단을 포함하여 이루어진 것을 특징으로 한다.

또한, 본 발명은 움직임추정 및 보상장치에 연결되고, 출력버퍼에 저장되어 있는 데이터를 상기 부호화장치에서 출력된 데이터에 따라 상기 움직임추정 및 보상장치로 전달하기 위한 인터페이스 수단을 더 포함하여 이루어진 것을 특징으로 한다.

상기 목적을 달성하기 위한 본 발명은, MPEG-2 비디오인코더의 부호화 영상데이터의 인터페이스장치에 있어서, 마드레스 장치에 따라, 데이터의 입/출력이 이루어지는 메모리로서의 액세스램(SRAM); 및 움직임추정 및 보상장치에 연결되고, 출력버퍼에 저장되어 있는 데이터를, 상기 부호화장치에서 출력된 데이터에 따라 상기 움직임추정 및 보상장치로 전달하면, 상기 움직임추정 및 보상 장치의 루미넌스(Y) 마드레스를 발생하기 위한 수단과, 상기 움직임추정 및 보상 장치의 크로미넌스(CbCr) 마드레스를 발생하기 위한 수단과, 임출력 버퍼의 크기, 마드레스를 생성하기 위한 수단과, 상기 액세스램(SRAM)의 마드레스 멀티플렉싱하는 수단과, 액세스램(SRAM) 제어 신호를 제공하는 수단을 구비하는 제1 인터페이스 수단을 포함하여 이루어진 것을 특징으로 한다.

또한, 본 발명은 상기 부호화장치에 연결되고, 상기 부호화장치의 부호화과정에서 생성되는 데이터를 상기 액세스램(SRAM)에 저장하기 위한 제2 인터페이스 수단을 더 포함하여 이루어진 것을 특징으로 한다.

상기 목적을 달성하기 위한 본 발명은, 부호화 영상데이터 인터페이스 발명에 있어서, 외부의 부호화장치로부터 인가되는 부호화 영상데이터를, 입력버퍼에 일시 저장하는 제 1 단계; 일시 저장된, 상기 부호화 영상데이터를 액세스램(SRAM) 마드레스(SDRAM ADDR) 및 제어신호에 따라, 액세스램(SRAM)에 저장하는 제 2 단계; 상기 액세스램(SRAM)으로부터 출력되는 데이터를 출력버퍼에 일시 저장하는 제 3 단계; 및 상기 출력버퍼에 일시 저장되어 있는 데이터를 상기 부호화장치에서 출력되는 데이터에 따라 움직임추정 및 보상장치로 전달하는 제 4 단계를 포함하여 이루어진 것을 특징으로 한다.

상기 목적을 달성하기 위한 본 발명은, 마이크로 프로세서를 구비한 부호화 영상데이터 인터페이스 시스템에, 외부의 부호화장치로부터 인가되는 부호화 영상데이터를 입력버퍼에 일시 저장하는 제 1 기능; 일시 저장된, 상기 부호화 영상데이터를 액세스램(SRAM) 마드레스(SDRAM ADDR) 및 제어신호에 따라, 액세스램(SRAM)에 저장하는 제 2 기능; 상기 액세스램(SRAM)으로부터 출력되는 데이터를 출력버퍼에 일시 저장하는 제 3 기능; 및 상기 출력버퍼에 일시 저장되어 있는 데이터를 상기 부호화장치에서 출력되는 데이터에 따라 움직임추정 및 보상장치로 전달하는 제 4 기능을 실현시키기 위한 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록매체를 제공한다.

본 발명은 영상 신호처리 분야에서 영상 신호를 압축 및 복원하는 시스템을 실시함으로써 처리 가능하도록 하드웨어를 구성할 때 대량의 부호화 영상 데이터를 일시 저장 및 액세스하기 위한 인터페이스에 관한 것

으로서, MPEG-2 비디오 인코더를 구현함에 있어서 부호화(압축)된 데이터를 부호화 장치로부터 임의받아 움직임추정 및 보상을 위한 데이터로 활용할 수 있도록 인터페이스를 제공할 때 데이터의 일시 저장을 위한 내부 버퍼링을 줄이고 인터페이스를 위한 하드웨어 복잡도를 줄여 하드웨어 구현의 비용을 줄이고자 한다.

이를 위해, 본 발명에서는 기존의 디램(DRAM) 대신에 처리속도가 빠르고 제어가 간편한 액세스램(SRAM)을 사용함으로써 인터페이스 장치내에 소용되는 데이터의 일시 저장을 위한 버퍼(메모리) 혹은 완충저장장치(캐시)의 양을 줄이고, SRAM 인터페이스 데이터 폭을 줄여 임출력 인터페이스를 위한 하드웨어 복잡도를 감소시킴으로써 하드웨어로 구성할 때 면적을 적게 차지한다.

따라서, 본 발명은 점정 소형화되고 있는 디지털 TV, 디지털 카메라, 고성능 TV 등에서 효과적으로 이용될 수 있다.

본 발명은 비디오 부호화 장치의 부호화 과정에서 생성되는 데이터를 SRAM에 저장하였다가 움직임추정 및 보상을 위해서 부호화 장치의 부호화 데이터링에 맞추어 액세스하여 부호화 장치가 적시에 이를 이용하여서 부호화할 수 있도록 하는 인터페이스를 제공하는 점에 그 주요 특징이 있다.

상술한 목적, 특징들 및 장점은 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세히 설명한다.

도 1은 본 발명에 따른 부호화 영상 데이터 인터페이스 장치가 이용되는 영상처리 시스템의 일 실시예 구성도이다.

도 1에 도시된 바와 같이, 본 발명의 부호화 영상 데이터 인터페이스 장치(100)는, MPEG-2 비디오 인코더에서 부호화 과정에서 생성된 데이터를 부호화 장치(300)로부터 받아 SRAM(200)에 저장하였다가 움직임추정 및 보상을 위해서 움직임 추정 및 보상 장치(400)로 움직임 추정을 위한 탐색 영역 데이터를 전송하고, 움직임 탐색 결과로 생성된 움직임 벡터(vector)를 이용하여 색도에 대한 움직임 보상 데이터를 다시 움직임 추정 및 보상장치(400)로 전송하는 기능을 수행한다.

도 2는 본 발명에 따른 부호화 영상 데이터 인터페이스 장치의 일 실시예 구성도이다.

도 2에 도시된 바와 같이, 본 발명에 따른 부호화 영상데이터 인터페이스 장치는, 크게 상기 부호화 장치(300)로부터 입력되는 부호화된 매크로블록 데이터(codedMb)를 SRAM(200)에 저장하기 위한 제1 인터페이스부(100a)와, SRAM(200)에 저장된 정보를 읽어서 외부의 움직임추정 및 보상장치(400)로 움직임 추정을 위한 움직임 탐색 영역 데이터(sdata)를 전송하는 제2 인터페이스부(100b)를 구비한다.

그리고, 움직임추정 및 보상장치(400)와의 인터페이스를 위한 제1 인터페이스부(100a)는 디시 움직임추정에 필요한 휘도 데이터를 출력하는 인터페이스와, 움직임 벡터에 따른 움직임 보상 데이터(cdata)를 출력하는 인터페이스로 구성된다.

이러한 시는 본 발명에 의한 상기 도 2의 부호화 영상데이터 인터페이스 장치의 각 구성부분으로 상세히 그 일 실시예 구성에 대하여 설명하기로 한다.

우선, 부호화 영상 데이터의 저장을 위한 인터페이스를 상세히 살펴보기로 한다.

부호화 영상 데이터 인터페이스 장치의 입력 인터페이스는 도 2와 같이 부호기가 마서여변변환(MC) 및 양자화 결과로 출력한 부호화된 매크로블록 데이터(codedMb)를 입력 버퍼에 저장하고, 부호기로부터 SRAM 접근 허가(coderYan: 부호화된 데이터가 Y(루미넌스) 및 C(크로미넌스) 신호로 구분되어 SRAM에 저장되는데, 이 경우는 Y 데이터가 가용하다는 것을 표시해 주는 제어 신호, coderYan: 부호화된 데이터가 C(루미넌스) 및 C(크로미넌스) 신호로 구분되어 SRAM에 저장되는데, 이 경우는 부호화된 데이터 중에 Y 데이터가 가용하다는 것을 표시해 주는 제어 신호)가 주어지면 버퍼(SRAM 96x32)에 일시적으로 저장된 데이터를 SRAM(200)으로 옮겨 주는 역할을 한다.

입력 인터페이스를 담당하는 부분, 즉 제1 인터페이스부(100a)는 크게 네 개의 부분으로 나눌 수 있다. 즉, 부호화된 루미넌스 데이터(coded Y)를 저장하는데 필요한 SRAM 마드레스 및 그 제어 신호를 생성하는 루미넌스 데이터 저장용 마드레스 생성 장치(yaddr)(28)(도 3, 도 4, 도 5, 도 6 참조)와, 부호화된 CbCr(여기서, C는 디시 Cb와 Cr로 구성됨) 데이터를 저장하는데 필요한 SRAM 마드레스 및 그 제어 신호를 생성하는 장치(zcaddr)(도 7, 도 8, 도 9, 도 10)와, 8비트의 입력 데이터 'codedMb' SRAM에 저장하기 전에 데이터를 버퍼링하는 장치(2a)(fifo:control)(도 11)와, 'Y 마드레스와 'CbCr' 마드레스를 멀티플렉싱하고, yaddr, caddr, fifo:control의 각 장치에서 생성된 데이터를 간단하게 제어하는 제1트(20, 2E, 2F)(도 2)이다.

'coded Y' 데이터를 저장하는데 필요한 SRAM 마드레스 및 그 제어 신호를 생성하는 장치(28)(yaddr)는, 'codedMb' 데이터 중에서 'coded Y'를 SRAM에 저장하기 위한 제어신호('RAS', 'CAS', 'CS', 'WE', 'UDM'), SRAM 마드레스(ADDR), 입력버퍼의 마드레스포인터를 증가시키는 인에이블 신호(strm_rdn_en)를 생성하는 것으로 구성된다.

'coded Y' 데이터를 저장하기 위한 제어신호 발생기(10)는, 도 3 및 도 4와 같이 부호화장치(300)로부터의 인에이블 신호인 'coderYan'이 '1'인 동안에 시그널 클럭(signal clock) 'scd4(SM4)'의 라이징(rising)에서 동작하는 카운터(CNT)(8)를 이용하여 각각의 제어 신호를 만든다.

도 4에서 한 매크로 블록(macro block)를 SRAM(200)의 64 행렬에 저장하기 때문에 쓰기 버스트 모드(write burst mode)로 SRAM에 쓰여 2 클럭의 랜덤 액세스 타임(random access time)과 63클럭의 버스트 쓰기(burst write) 그리고 2 클럭의 디렉티브타이밍 타임(descative time)에 의해 카운터는 60에서 리셋(reset)되어야 한다. 이때, 부호화 장치(300)는 'coderYan' 신호를 'scd4'의 라이징에서 전달해주고 제어 신호 발생기(10)에서는 플링(falling)에서 플립플롭(flop)으로 접어서 실제 인에이블신호를 만들어 준다. 그 이유는 신호전달 지연을 고려하여 'scd4'의 라이징에 카운트 값을 증가시켜 'scd4'의 플링에서 카운트 값을 참조하여 제어신호를 만들어 주는데 처음 'scd4'의 플링에서 카운트값이 '0'이 되도록 하기

위해시이다.

एसडीएम(200) 제어신호인 'RAS', 'CAS', 'CS', 'WE' 신호는 도 4와 같이 각 카운터 값을 'sc4'의 라이징에서 카운터 값을 확인하며 한다. 따라서, 'sc4'의 풀림에서 카운터 값을 비교해서 만들어온 신호를 반출력 지연시켜서 만든 신호를 'stream_read_en' 신호로 사용해서 SRAM의 어드레스를 증가시켜 준다. 'addr_sel' 신호는 뱅크를 활성화(activation)시켜 줄 때 로우(row) 어드레스가 필요하므로 이때만 '1'로 만들며 주어 로우(row) 어드레스와 컬럼(column) 어드레스 'mux' 신호로 사용한다. 즉, '1'이면 로우 어드레스를, '0'이면 컬럼 어드레스를 나타낸다. 'addr_sel' 신호도 RAS와 마찬가지로 sc4의 풀림에서 비가우아 조다.

coded Y 데이터를 SRAM에 저장하기 위한 어드레스 발생기는 도 5 및 도 6과 같이 부호화장치(300)로부터 입력받은 codermbck로 매크로 블록 어드레스를 카운터 (NB_counter)(12)에서 카운트하고, 그 결과 값으로 매크로 블록 어드레스(NBA)를 설정한다. 매크로 블록 카운터(12)는 RESET이 '0' 또는 P10K20이 '1'일 때 -1로 NBA 값이 초기화된다. 입력 값인 codermbck를 이용하여 라이징에서 NBA를 증가시키고 증가되기 전 NBA에 1을 더한 caNBA를 이용하여 0부터 카운트하는 카운터를 만들었다(14). 이 caNBA신호를 이용하여 로우 어드레스(row address)와 뱅크(bank)를 계산한다(16). 컬럼 어드레스(column address)는 항상 180으로 고정되어 있다. 도 3의 제어신호 발생기(10)에서 설정한 row_sel신호로 로우 어드레스(row address)와 컬럼 어드레스(column address)를 선택한다. 선택된 어드레스와 뱅크(bank)신호를 결합하여 SRAM 어드레스로 보낸다.

codermbck 데이터 중에서 coded Cdr를 SRAM에 저장하기 위해 필요한 SRAM 제어신호와 SRAM 어드레스를 생성하기 위한 장치는 도 7 및 도 9와 같다.

coded Cdr에 대한 SRAM 제어신호 발생기(20)는 도 7 및 도 8과 같이 부호화-장치(300)로부터의 인메이 블신호인 coderbck의 '1'인 동안에 sc4의 라이징에서 동작하는 카운터(18)(writecnt)를 이용하여 각각의 제어 신호를 만든다. 이때, 한 매크로 블록을 SRAM의 4column, 2bank, 4row에 저장하기 때문에 쓰기 바스트 모드(write burst mode)로 SRAM에 쓰면 2 클럭의 랜덤 액세스 타임(random access time)과 3~4 클럭의 바스트 쓰기(burst write) 그리고 1~2 클럭의 디엑티브이트 타임(deactive time)에 의해 카운터는 1에서 리셋되어야 한다. 'act' 신호와 'write' 신호 그리고 'deac' 신호를 각각의 영역(아래서 '0'으로 만들어 주어 'row_sel' 신호는 'act' 신호를 반전해서 만들고, 'CAS' 신호는 'write' 신호를 반전해서 'CAS'신호와 'deac' 신호를 엑드(AND) 조합시켜서 만들고, 'RAS' 신호는 'act' 신호와 'deac' 신호를 엑드(AND) 조합시켜서 만든다. 'stream_read_en' 신호는 'coded' 및와 같이 'stream_read_en'의 임시 신호를 만들고 이것을 반출력 지연(delay)시켜서 만든다. 'CS' 신호는 'RAS', 'CAS'신호 모두 '1'이면 상반한 것으로 인메이블(coderbck=1)인 동안에 모두 '0'으로 해주어도 된다.

'coded Cdr'에 대한 SRAM 어드레스 발생기는 도 9 및 도 10과 같이 'codermbck'의 라이징에서 동작하는 카운터(22)는 'NBA'의 값을 0부터 4까지 카운트한 후 메모리의 로우 어드레스를 바꾸기 위한 신호인 'change-slice' 신호를 '1'로 하고, NBA를 0으로 한다. 카운터(change-slice cnt)(26)는 코래임 구조일 때 28까지, 플드(field) 구조일 때 14까지 카운트해서 CNT2값을 만든다. 그리고, 뱅크카운터(28)는 두 뱅크에 번갈아서 로우 어드레스를 증가시켜 7과 8로 저장하기 때문에 'row_sel'의 풀림에서 카운트한 CNT3를 만든다. 로우 어드레스는 'CNT2'값에 4를 곱하고 'CNT3'를 2로 나눈 값을 더한 후 'conf'set'을 더해 주며 플드(field)를 선택해서 구한다. 로우 어드레스는 'pick'블럭이 '1'이거나 'reset'이 '1'이면 0으로 초기화시켜 줘야 한다. 뱅크는 'CNT3'의 '138' 값을 이용한다. 어드레스를 바꾸어 줄 때 주의할 점이 하나 있다. SRAM의 로우 디엑티브이트(row deactive time)시 뱅크(bank) 어드레스가 유효하므로 뱅크어드레스를 저장해 두어야 한다. 그래서 디엑티브이트시에만 저장된 어드레스를 출력시켜주는 멀티플렉서(Mux)(34)가 하나 필요하다.

양전 버퍼(50)는 도 11과 같이 부호화-장치(300)로부터 전달 받은 8비트 크기의 데이터인 'codebck'을 32비트 단위의 SRAM에 저장하기 위해서는 임시적으로 데이터를 저장하기 위한 장치이다. 입력 버퍼(50)를 구성하기 위한 SRAM의 크기는 저장할 수 있는 워드의 크기가 96비트이고, 32비트의 데이터의 라이(1/4)를 갖는 SRAM과 8비트로 들어오는 데이터를 32비트로 만들기 위한 8비트 라치(46)로 구성되어 있다. 'codebck'신호는 27MHz로 동작하는 부호화 장치인 인터페이스 톨 수 있도록 시그널 클럭(이후에 clock) 'sc4'(27 MHz)로 동작하는 카운터로 'latch_en'과 'stream_write_addr' 신호를 만들어준다. 'latch_en[3]'을 SRAM의 'we'신호로 사용하여 라치를 3개 사용하여 저장하였다.

이제, 부호화 영상 데이터의 움직임 추정 및 보상 장치와의 인터페이스에 대한 보다 상세히 설명한다.

부호화 영상 데이터의 움직임 추정 및 보상 장치(400)와의 인터페이스는 'coded Y'와 'coded Cdr' 데이터를 읽어내어 출력버퍼에 저장하고 출력 버퍼에 저장되어 있는 데이터를 부호화 장치에서 발원된 데이터 입에 움직임 추정 및 보상 장치로 전달하기 위함이다.

움직임 추정 및 보상 장치와 인터페이스를 담당하는 하드웨어는 SRAM의 어드레스를 생성하는 블록, SRAM의 제어신호를 생성하는 블록, 그리고 움직임 추정 및 보상 장치로 전달할 데이터들을 저장하기 위한 출력 버퍼로 나눌 수 있다.

도 2의 움직임 추정 및 보상 장치와의 인터페이스 관계에서 각 인터페이스 장치들의 기능을 간단히 설명하면 다음과 같다.

움직임 추정 및 보상 장치의 'Y' 어드레스 발생 장치(40)(memcyaddr)는 움직임 추정 및 보상 장치로 전달할 데이터 중에서 'coded Y' 데이터를 SRAM에서 읽기 위한 SRAM 제어신호, 'stream' 신호와 어드레스를 출력하는 장치이다.

움직임 추정 및 보상 장치의 'C' 어드레스 발생 장치(40)(memccaddr)는 움직임 추정 및 보상 장치로 전달할 데이터 중에서 'coded Cdr' 데이터를 SRAM에서 읽기 위한 SRAM 제어신호, 'stream' 신호와 어드레스를 출력하는 장치로 움직임 추정 및 보상 장치가 움직임 보상을 위한 세 신호를 요구할 때 움직임 벡터

를 해석하는 기능이 포함된다.

11to-4memc(4A)는 입출력 버퍼의 쓰기 어드레스를 생성하고 SRAM의 'coded Y'와 'coded Cdr'의 'stream', 'read address', 'write address'를 역성하고 'sdta_en'을 생성하는 장치이다.

그 밖에, 'memcyaddr'과 'memccaddr'를 역성하며 SRAM의 어드레스를 역성(mapping)하는 장치와 제어 신호인 'RAS', 'CAS', 'WE', 'CS', 'NBAck'을 제어하는 게이트들(40, 42, 44)로 구성된다.

'coded Y' 데이터를 읽기 위한 제어 신호 생성기는 도 12 및 도 13과 같이 부호화 장치로부터의 인메이블 신호인 'memen' 신호가 부호화 영상 데이터의 입력 인터페이스에서와 같이 'sc4'의 라이징에 도달하면 풀림에서 주어져서 사용한다. 이 'memen' 신호가 '1'인 동안에 'sc4'의 라이징에서 동작하는 카운터 (cnt)(50)를 이용하여 제어신호발생기(52)를 통해 각각의 제어 신호를 만든다. 이때 두 매크로 블록을 SRAM에서 읽어 들일 때 4 클럭의 1한된 액세스 타임(random access time), 63 클럭의 바스트 쓰기 (burst read)로 한 매크로 블록을 읽은 다음 1 클럭의 디엑티브이트 타임(deactive time)이 지난 후 64개의 바스트 쓰기(burst read)에 의해 도 한 매크로 블록을 읽어 들이며 카운터는 130에서 리셋되어야 한다. 하지만, 플드(field) 기반 일 때 SRAM에서 부호화된 워드 데이터를 읽을 때에는 2개의 매크로 블록 같은 뱅크에서 읽어와 한다. SRAM에서 데이터를 읽어 들일 때 두일 뱅크 오퍼레이션(deal bank operation)을 같은 뱅크에서 읽어와 한다. SRAM에서 데이터를 읽어 들일 때 두일 뱅크 오퍼레이션(deal bank operation)을 같은 뱅크로 랜덤 액세스 타임(random access time)을 감추었는데 같은 뱅크에서는 감출 수 있으므로 한 매크로 블록을 읽은 후에 디엑티브이트 타임(deactive time)이 4클럭 소요되므로 카운터는 135에서 리셋되도록 하고 이에 맞게 제어신호를 만든다. 'RAS', 'CAS', 'WE', 'CS', 'row_sel' 신호는 부호화 영상 데이터의 입력 인터페이스에서 직접 'act', 'read', 'deac' 신호를 만들어 이를 이용해서 만들고 'stream_we' 신호도 부호화 영상 데이터의 입력 인터페이스에서 직접 'stream_read_en' 신호를 만들어 이 신호가 '1'인 동안에 'sc4'의 라이징과 풀림에서 각각 '1', '0'로 해서 만든다.

'coded Y'에 대한 SRAM 어드레스 생성기는 도 14 및 도 15와 같이 'coded Y'를 읽어오기 위하여 어드레스를 계산하는 것이다. 이 장치에서는 매크로블록 블록, 'PROM1', 'TEST', 'pstruct', 그리고 제어신호 생성블럭에서 출력한 'addr_sel' 신호를 이용하여 어드레스를 계산한다. SRAM 어드레스를 계산할 때 부호화 영상 데이터를 읽어오는 'PROM1'가 코래임(FRAM)일 때에는 5 개의 매크로 블록을 SRAM에서 읽어내고, 플래드(FLD)일 때에는 6 개의 매크로 블록을 읽어낸다. 움직임 추정을 위해 필요한 데이터를 메모리에서 읽어낼 때에 읽히는 데이터가 영상의 범위를 벗어나는 경우 sd타메(sdta)를 모두 '1'로 채워 움직임 추정 및 보상 장치로 전달한다. 데이터(data) 값을 'sdta'에 채워 움직임 추정 및 보상 장치로 전달하기 위해서 'SRAM의 출력 버퍼에 저장할 때 상반한 블록의 어드레스를 계산하는 블록에서 데이터가 데이터 라이징을 판독하는 신호인 'valid' 신호를 출력하도록 한다. 'valid' 신호가 '1'이면 SRAM에서 출력한 데이터는 출력버퍼에 저장하고 '0'이면 모두 '1'로 채워진 신호를 버퍼에 저장한다. 'valid' 신호는 'weack'의 풀림에서 라이징에서 계산된 'NBA'에 일정한 값을 더해서 계산된 'caNBA'를 'weack' 신호를 1 사이를 지연시킨 신호의 풀림에서 판독한다. SRAM 어드레스도 이 신호의 풀림에서 'frame'과 'pstruct'에 따라서 일정한 값을 더해져서 계산된다.

'coded Cdr' 데이터를 읽기 위한 제어 신호 생성기는 도 16 및 도 17과 같이 'coded Cdr' 데이터를 SRAM에서 읽어내어 움직임 추정 및 보상 장치로 전달하기 위해 필요한 제어신호를 생성하는 것으로, 부호화 장치에서 출력한 'memen' 신호를 인메이블 신호로 입력받아 'sc4'의 라이징에서 동작하는 카운터 (60)를 이용하여 제어신호발생기(62)를 통해 각각의 제어신호를 만든다. 이때, 255~10 개의 'Cdr' 데이터를 움직임 추정 및 보상 장치로 전달한다. SRAM의 한 할당에 2개의 'Cdr'를 저장할 수 있기 때문에 255~5 개의 할당을 읽어와 한다. 이때, 5 할당 읽은 후 로우(row) 나 뱅크(bank)를 변경 후 다시 5 할당을 읽어 들인다. 코래임 메모리 base coding)에서 'field'블록을 위해서 이 5 할당의 데이터들이 한 뱅크(bank)에 저장되어 있기 때문에 'coded Y'와 같이 랜덤 액세스 타임(random access time)을 감출 수 있다. 제어신호는 최악의 경우(worst case)에 맞추어야 하므로 도 17의 데이터와 같이 5 할당은 다른 뱅크이므로 랜덤 액세스 타임(random access time)이 나타난다. 이 최악의 경우(worst case)에도 5 할당을 5번 읽은 후 다음 5 할당은 다른 뱅크이므로 랜덤 액세스 타임을 감출 수 있는데 제어신호의 하드웨어 할당하기 하기 위해서 감추지 않았다. 따라서, 4 클럭의 랜덤 액세스 타임(random access)와 4 개의 바스트 쓰기(burst read), 1 클럭의 디엑티브이트(deactive time)이 10개 있으므로 카운터는 89에서 리셋되어야 한다. 제어신호발생기는 'CNT' 값으로 'coded Y' 데이터를 읽어 들일 때와 같이 만든다.

'coded Cdr'에 대한 SRAM 어드레스 생성기는 도 18 및 도 19와 같이 움직임 보상을 위해 필요한 데이터의 'coded Cdr'를 움직임 추정 및 보상 장치로 전달하기 위해 SRAM의 어드레스를 계산하는 장치이다. SRAM의 어드레스를 계산하는 이 장치는 움직임 벡터를 입력받아 변위를 계산하는 블록, 매크로 블록 어드레스를 이용하는 초기 메모리 어드레스를 계산하는 블록, 초기 메모리 어드레스로 SRAM 어드레스를 설정하는 블록으로 구성되어 있다. 제어신호 생성은 'memcyaddr' 모듈과 같다. 1비트씩 입력되는 'wdata'는 2비트 워드트 레지스터를 통과시켜 28 비트로 만든 다음에 이를 해석하는 모듈로 넘겨주면 이를 해석하여 어드레스를 생성한다. 이때, 'wdata'와 같이 정해지는 인메이블신호(wdata_en)를 지연시켜 어드레스 생성 블록으로 사용한다. 여기서, 'pmba'는 매크로 블록 카운터이다, 'change_ras'는 로우(row)(450)마다 '1'이 되는 신호로 로우를 카운트하는 블록으로 사용된다. 'wRAS'는 12비인 클럭 때마다 4가 더해져(4 row / 1 line) 한 라인당 4개의 로우가 저장됨을 나타내는 신호이다. 'initrowaddr'는 'wRAS'에 'conf'set'을 더하여 초기 메모리 로우 어드레스를 지정하는 신호이다. 'initrowaddr'는 'wRAS' (4 column / 1 MB)를 계산하여 초기 컬럼 어드레스를 생성한다. 이것이 도 18의 초기어드레스 생성기가 하는 역할이다. 움직임 벡터를 입력받아 어드레스를 제어해 주는 모듈인 어드레스 제어기에서는 다음과 같은 동작을 수행한다. 'wdata'의 플드(field) 정보(top or bottom)를 이용하여 '1'인 'sdta' 또는 '1'인 'sdta'를 결정한다. 'wdata'의 플드(field)를 플드 선택하기 위해 'addof'set0'과 'addof'set1'을 생성한다. 'wtype'이 1이면 코래임(frame)이고 0 이면 플드(field)를 나타낸다. 그리고 'wdata'가 플스일 경우 반올림을 위해 'wdata'에 1을 더하고 'x0bnp', 'x0bnp'와 'y0bnp', 'y0bnp' 등의 데이터를 생성한다. 움직임 벡터 해석기는 'wdata'를 해석하여 얻은 X 성분 차이 'diff(XSD)'와 Y 성분 차이 'diff(YSD)'를 생성한다. 두들 뱅크(duai bank)를 사용하므로 X성분 차이의 하위 1비트들 이 용하여 'diff(BANK0)' 신호를 생성하여 뱅크를 선택하는 신호로 이용하도록 한다. 메모리가 32비트 길이

(depth)를 가지고 있으므로 1 칼럼에 2쌍의 색도 데이터를 가지고 있다. 앞의 데이터 쌍인지 뒤의 데이터 쌍지를 가리키는 pointer, 'bitpoint0,1'을 설정, 'initcoladdr + difficas'를 계산하여 'coladdr,1'를 생성한다. 'tosigbank'는 프레임(RAME) 영상이며, 'wtype'이 'MOD8'이고 'tid_sel'가 최저 필드(bottom field)를 가리킬 때 '1'이 되는 신호이다. 'RAS' 카운터는 SRAM에 10번 로우 액세스(row access)하여 데이터를 가져오는데 이것을 제는 카운터이다. 'Ramp'는 'RAS' 카운터와 'rowaddr'를 이용하여 구한 로우 어드레스(row address)이다. 'RA'는 최종적인 SRAM 로우 어드레스이다. 'BANK'는 SRAM 뱅크 어드레스이다. 이하에, 주요성 체크(valid check)를 위해서 'fido-check' 모듈에 전달될 SRAM 어드레스로 'cbcr,rowaddr'와 'cbcr,coladdr'가 있다.

입출력(input/output) 버퍼는 SRAM의 'coded Y'와 'coded DDr' 데이터를 일시적으로 저장한 후, 'sdata.en' 신호를 '1'로 하고 'sdata' 버스로 데이터를 출력하는 역할을 수행한다.

'coded Y'에 대한 출력 버퍼 제어 장치는 도 19와 같이 'coded Y'를 출력하기 위한 입출력 버퍼의 어드레스를 생성하는 것이다. 'coded Y' 데이터에 대한 SRAM 입력 어드레스는 도 12와 'coded Y' 제어 신호 설정 블록에서 출력한 'stream'의 콜링에서 카운트하여 (SRAM은 'we' 신호의 라이징에서 데이터를 쓴다.) 생성하고 출력 어드레스는 도 1의 부호화 장치에서 출력한 'sdata.en', 'mbse10', 'mbse11' 신호와 'sc2', 'trorf1'를 이용하여 설정한다. SRAM은 3 필드 분을 저장하고 있고 1 필드를 SRAM에서 SRAM으로 쓸 때 나머지 2 필드 분을 출력해야 하므로 각 필드마다 카운터를 따로 두어 부호화 장치에서 전달된 'mbse10', 'mbse11'을 이용하여 필드를 선택해 각 카운터에 출력을 넣어준다. 그리고, 각 카운터의 값에 필드 위치 값을 더하고 이를 선택해서 출력어드레스로 사용한다. 'sdata.en' 신호가 '1'인 동안 출력하는 카운터 포레임구조로 'sdata'를 전달해야 하므로 'trorf1'가 포레임필 때만 한 필드에서 다음 필드로 계속해서 읽으면 되지만 필드당 때는 매크로블록의 한 라이닝에 해당하는 '4 depth'를 처음 필드에서 읽고 다음 필드에서 '4 depth'를 읽고 이처럼 반복해서 포레임 구조로 'sdata'를 출력시켜야 한다.

도 20은 필드를 선택해서 데이터를 읽는 순서를 포레임, 필드를 구분하여 나타낸 것이다. 입출력 버퍼를 위한 쓰기 어드레스는 SRAM의 'stream' 신호를 카운트하여 생성하고 읽기 어드레스는 도 19와 같이 3개의 카운터를 갖는 구조로 되어 있다. 읽기(Read) 어드레스를 설정할 때는 SRAM의 출력 타이밍을 고려하여 'sdata.en' 신호를 지연시킨 신호를 인에이블 신호로 사용하여 도 21의 타이밍도와 같다.

'Coded DDr'에 대한 입출력 버퍼 제어기는 'coded DDr'를 출력하기 위한 입출력 버퍼의 어드레스를 생성하는 장치로 도 22와 같다. 'coded DDr' 데이터에 대한 SRAM 입력 어드레스는 도 16와 'Coded DDr' SRAM 제어 신호 설정기에서 출력한 'ram.we'의 콜링(falling)에서 카운트하여 설정하고 출력 어드레스는 도 22의 부호화 장치(300)에서 출력한 'sdata.en' 신호와 도 18의 'coded DDr'의 SRAM 어드레스 설정기에서 출력한 'bitpoint0', 'bitpoint1' 신호와 'sc2'를 이용하여 설정한다. 'sdata.en'이 '1'인 동안에 'sc2'의 라이징에서 동작하는 컬럼 카운터가 있다. 이 두 카운터 값과 'bitpoint-1'을 이용하여 액세스 읽기(stream read) 어드레스를 생성한다.

상술한 바와 같은 본 발명의 방법은 프로그램으로 구현되어 컴퓨터로 읽을 수 있는 기록매체(씨디롬, 램, 롬, 플로피 디스크, 하드 디스크, 광자기 디스크 등)에 저장될 수 있다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

본 발명의 효과

이상에서 설명한 바와 같이 본 발명에서 제시하는 부호화 영상 데이터의 인터페이스 장치는 기존의 속도 가 느린 비동기식 방법을 사용하지 않고 속도 가 빠르고 제이가 간편한 동기식 SRAM을 사용하여 인터페이스 장치내의 비트폭과 하드웨어 복잡도를 줄여 하드웨어 구현시 비용을 줄이는 효과가 있다. 또한 이는 비디오 인코더 칩의 가격을 저렴하게 하고 전력 소모를 줄이는 우수한 효과가 있다.

(57) 청구의 범위

청구항 1
부호화 영상데이터 인터페이스 장치에 있어서,
어드레스지정에 따라, 데이터의 입/출력이 이루어지는 저장수단;
외부의 부호화장치에 연결되어 상기 부호화장치에서 생성되는 데이터를 상기 저장수단에 저장하기 위한 제1 인터페이스 수단; 및
외부의 동적임무정 및 보상장치에 연결되어 있으며, 내부의 출력버퍼에 일시 저장되어 있는 데이터를 상기 부호화장치에서 전달되는 타이밍에 따라, 상기 동적임무정 및 보상장치로 전달하기 위한 제2 인터페이스 수단을 포함하는 부호화 영상데이터 인터페이스 장치.

청구항 2
제 1 항에 있어서,

상기 저장수단은,
실질적으로, 매스디럼(SRAM)인 것을 특징으로 하는 부호화 영상데이터 인터페이스 장치.

청구항 3
제 2 항에 있어서,

상기 제1 인터페이스 수단은,
부호화된 데이터 중에서 루미넌스('Y') 데이터를 저장하는데 필요한 매스디럼(SRAM) 어드레스 및 그 제어 신호를 생성하는 제1 신호 생성 수단;

부호화된 데이터 중에서 크로미넌스('CbCr') 데이터를 저장하는데 필요한 매스디럼(SRAM) 어드레스 및 그 제어 신호를 생성하는 제2 신호 생성 수단;

소정 비트의 부호화된 매크로블록(codedb) 데이터를 상기 매스디럼(SRAM)에 저장하기 위해 배포링하는 버퍼링 수단;

부호화된 매크로블록 데이터중에서 루미넌스('Y') 데이터를 상기 매스디럼(SRAM)에 저장하기 위한 어드레스인 루미넌스('Y') 어드레스와 크로미넌스('C') 데이터를 저장하기 위한 크로미넌스('CbCr') 어드레스를 멀티플렉싱하여 상기 매스디럼(SRAM)의 어드레스(SRAM ADDR)를 제공하는 수단;

상기 제1 신호 생성 수단에서 생성된 신호를 논리조합하여 상기 매스디럼(SRAM)의 제어신호를 제공하는 수단; 및

상기 제2 신호 생성 수단에서 생성된 신호를 논리조합하여 상기 매스디럼(SRAM)의 제어신호를 제공하는 수단

를 포함하는 부호화 영상데이터 인터페이스 장치.

청구항 4

제 3 항에 있어서,

상기 제2 인터페이스 수단은,

상기 동적임무정 및 보상장치의 루미넌스('Y') 어드레스를 할당하는 제3 신호 생성 수단;

상기 동적임무정 및 보상장치의 크로미넌스('C') 어드레스를 할당하는 제4 신호 생성 수단;

입출력 버퍼링을 위한 쓰기 어드레스(write address)를 생성하는 수단;

상기 루미넌스('Y') 어드레스와 크로미넌스('C') 어드레스를 멀티플렉싱하여 상기 매스디럼(SRAM)의 어드레스(SRAM ADDR)를 제공하는 수단; 및

상기 제3 신호 생성 수단 및 상기 제4 신호 생성 수단에서 생성된 신호를 논리조합하여 상기 매스디럼(SRAM)의 제어신호를 제공하는 수단

를 포함하는 부호화 영상데이터 인터페이스 장치.

청구항 5.

mpeg-2 비디오인코더의 부호화 영상데이터의 인터페이스장치에 있어서,

어드레스 지정에 따라, 데이터의 입/출력이 이루어지는 메모리로서의 매스디럼(SRAM);

부호화장치에 연결되고 상기 부호화장치의 부호화과정에서 생성되는 데이터를 상기 저장수단에 저장하기 위해, 루미넌스('Y') 데이터를 저장하는데 필요한 SRAM 어드레스 및 그 제어 신호를 생성하는 수단;

크로미넌스('CbCr') 데이터를 저장하는데 필요한 매스디럼(SRAM) 어드레스 및 그 제어 신호를 생성하는 수단;

입력 데이터의 부호화된 매크로블록(codedb) 데이터를 상기 매스디럼(SRAM)에 저장하기 전에 데이터를 버퍼링하는 수단;

루미넌스('Y') 어드레스와 크로미넌스('CbCr') 어드레스를 멀티플렉싱하여 상기 매스디럼(SRAM)의 어드레스를 제공하는 수단; 및

상기 제어 신호를 생성하는 수단에서 생성된 신호를 논리조합하여 상기 매스디럼(SRAM)의 제어신호를 제공하는 수단

를 포함하는 부호화 영상 데이터 인터페이스 장치.

청구항 6

제 5 항에 있어서,

움직임 추정 및 보상 장치에 연결되고, 출력 버퍼에 저장되며 있는 데이터를 상기 부호화 장치에서 발신된 타이밍에 따라 상기 움직임 추정 및 보상 장치로 전달하기 위한 인터페이스 수단을 더 포함하는 부호화 영상 데이터 인터페이스 장치.

청구항 7

제 5 항에 있어서,

상기 인터페이스 수단은,

움직임 추정 및 보상 장치의 루미넌스('Y') 어드레스 발생 수단;

움직임 추정 및 보상 장치의 크로미넌스('C') 어드레스 발생 수단;

입출력 버퍼의 쓰기 어드레스(write address)를 생성하는 수단;

상기 어스디램(SDRAM)의 어드레스를 멀티플렉싱하는 수단; 및

에스디램(SDRAM) 제어 신호를 생성하여 제공하는 수단을 포함하는 부호화 영상 데이터 인터페이스 장치.

청구항 8

MPeB-2 비디오 코더의 부호화 영상 데이터의 인터페이스 장치에 있어서,

어드레스 지정에 따라, 데이터의 입/출력이 이루어지는 메모리로서의 에스디램(SDRAM); 및

움직임 추정 및 보상 장치에 연결되고, 출력 버퍼에 저장되며 있는 데이터를 상기 부호화 장치에서 발신된 타이밍에 따라 상기 움직임 추정 및 보상 장치로 전달하며, 상기 움직임 추정 및 보상 장치의 루미넌스('Y') 어드레스를 발생하기 위한 수단과, 상기 움직임 추정 및 보상 장치의 크로미넌스('C') 어드레스를 발생하기 위한 수단과, 입출력 버퍼의 쓰기 어드레스를 생성하기 위한 수단과, 상기 에스디램(SDRAM)의 어드레스를 멀티플렉싱하는 수단과, 에스디램(SDRAM) 제어 신호를 제공하는 수단을 구비하는 제 1 인터페이스 수단을 포함하는 부호화 영상 데이터 인터페이스 장치.

청구항 9

제 8 항에 있어서,

상기 부호화 장치에 연결되고, 상기 부호화 장치의 부호화 과정에서 생성되는 데이터를 상기 에스디램(SDRAM)에 저장하기 위한 제 2 인터페이스 수단

를 더 포함하는 부호화 영상 데이터 인터페이스 장치.

청구항 10

제 9 항에 있어서,

상기 제 2 인터페이스 수단은,

루미넌스('Y') 데이터를 저장하는데 필요한 에스디램(SDRAM) 어드레스 및 그 제어 신호를 생성하는 수단;

크로미넌스('CbCr') 데이터를 저장하는데 필요한 에스디램(SDRAM) 어드레스 및 그 제어 신호를 생성하는 수단;

입력 데이터인 부호화된 매크로블록(coded block) 데이터를 상기 에스디램(SDRAM)에 저장하기 전에 버퍼링하는 수단;

루미넌스('Y') 어드레스와 크로미넌스('CbCr') 어드레스를 멀티플렉싱하는 수단; 및

에스디램(SDRAM) 제어 신호를 생성하여 제공하는 수단;

를 포함하는 부호화 영상 데이터 인터페이스 장치.

청구항 11

부호화 영상 데이터 인터페이스 방법에 있어서,

외부의 부호화 장치로부터 인가되는 부호화 영상 데이터를 입력 버퍼에 일시 저장하는 제 1 단계;

일시 저장된 상기 부호화 영상 데이터를 에스디램(SDRAM) 어드레스(SDRAM ADDR) 및 제어 신호에 따라 에스디램(SDRAM)에 저장하는 제 2 단계;

상기 에스디램(SDRAM)으로부터 출력되는 데이터를 출력 버퍼에 일시 저장하는 제 3 단계; 및
상기 출력 버퍼에 일시 저장되어 있는 데이터를 상기 부호화 장치에서 발신되는 타이밍에 따라 움직임 추정 및 보상 장치로 전달하는 제 4 단계

를 포함하는 부호화 영상 데이터 인터페이스 방법.

청구항 12

제 11 항에 있어서,

상기 제 2 단계는,

루미넌스('Y') 데이터를 저장하는데 필요한 에스디램(SDRAM) 어드레스 및 그 제어 신호를 생성하는 과정과,

크로미넌스('CbCr') 데이터를 저장하는데 필요한 에스디램(SDRAM) 어드레스 및 그 제어 신호를 생성하는 과정과,

입력 데이터인 부호화된 매크로블록(coded block) 데이터를 상기 에스디램(SDRAM)에 저장하기 전에 데이터를 버퍼링하는 과정과,

루미넌스('Y') 어드레스와 크로미넌스('CbCr') 어드레스를 멀티플렉싱하는 과정과,

에스디램(SDRAM) 제어 신호를 생성하여 제공하는 과정을 포함하는 부호화 영상 데이터 인터페이스 방법.

청구항 13

제 11 항 또는 제 12 항에 있어서,

상기 제 3 단계는,

움직임 추정 및 보상 장치의 루미넌스('Y') 어드레스 발생 과정과,

움직임 추정 및 보상 장치의 크로미넌스('C') 어드레스 발생 과정과,

입출력 버퍼의 쓰기 어드레스를 생성하는 과정과,

상기 에스디램(SDRAM)의 어드레스를 멀티플렉싱하는 과정과,

에스디램(SDRAM) 제어 신호를 생성하여 제공하는 과정을 포함하는 부호화 영상 데이터 인터페이스 방법.

청구항 14.

마이크로 프로세서를 구비한 부호화 영상 데이터 인터페이스 시스템에,

외부의 부호화 장치로부터 인가되는 부호화 영상 데이터를 입력 버퍼에 일시 저장하는 제 1 기능;

일시 저장된 상기 부호화 영상 데이터를 에스디램(SDRAM) 어드레스(SDRAM ADDR) 및 제어 신호에 따라 에스디램(SDRAM)에 저장하는 제 2 기능;

상기 에스디램(SDRAM)으로부터 출력되는 데이터를 출력 버퍼에 일시 저장하는 제 3 기능; 및

상기 출력 버퍼에 일시 저장되어 있는 데이터를 상기 부호화 장치에서 발신되는 타이밍에 따라 움직임 추정 및 보상 장치로 전달하는 제 4 기능

를 실현시키기 위한 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록 매체.

도 9

Figure 13

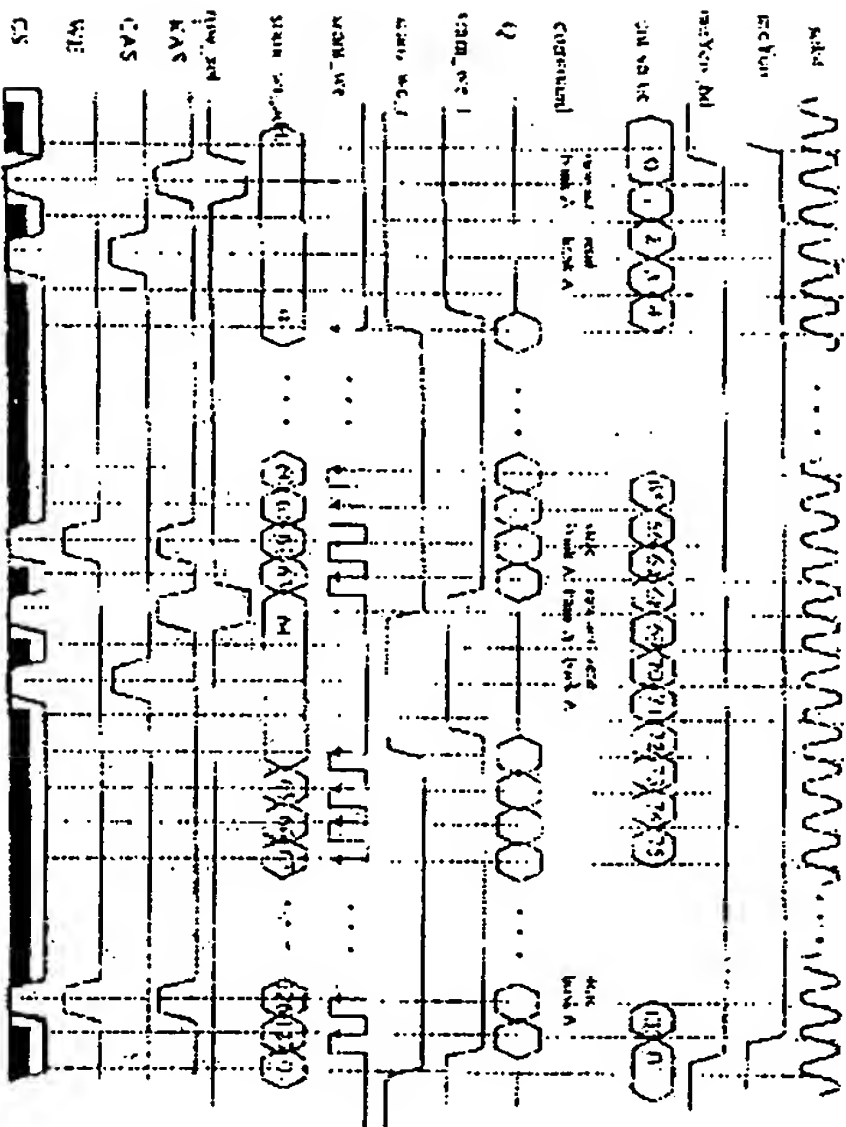


Figure 14

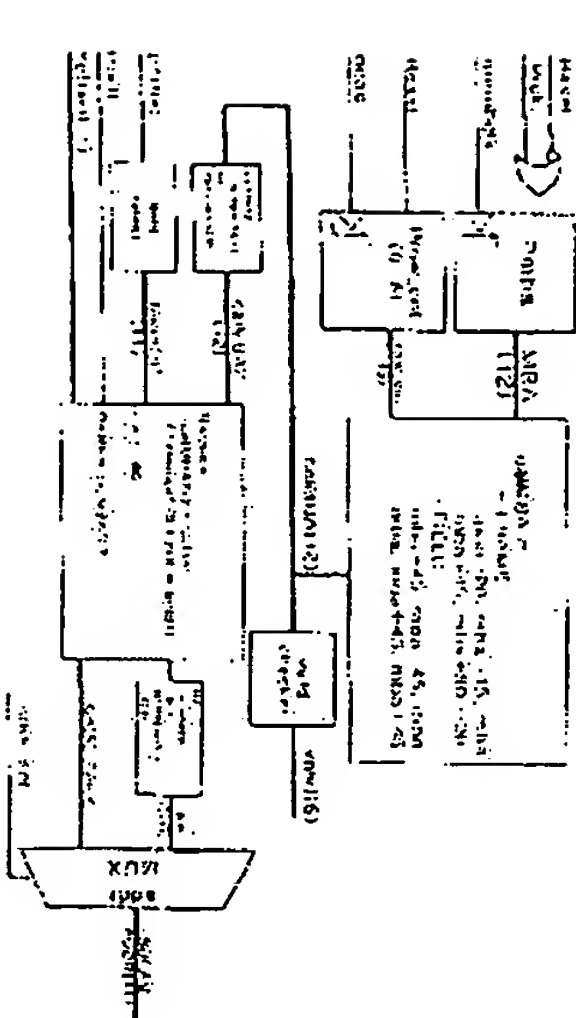


Figure 15

Figure 16

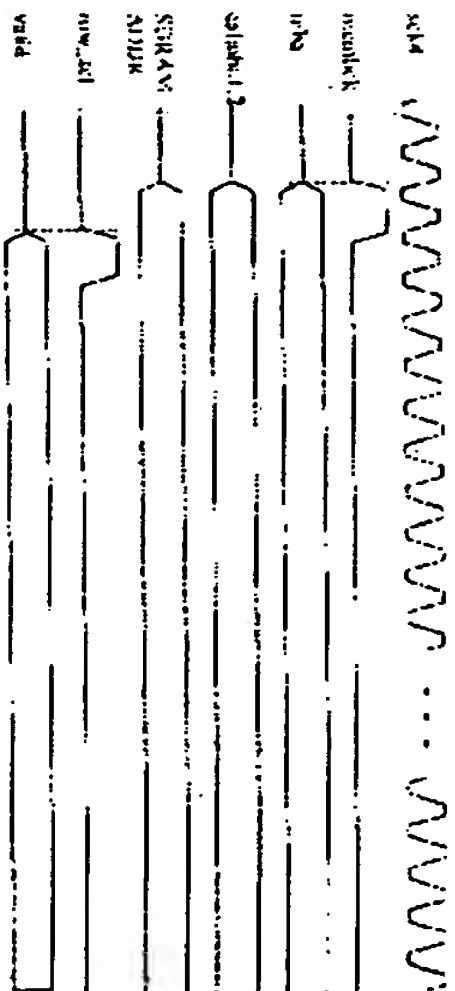


Figure 17

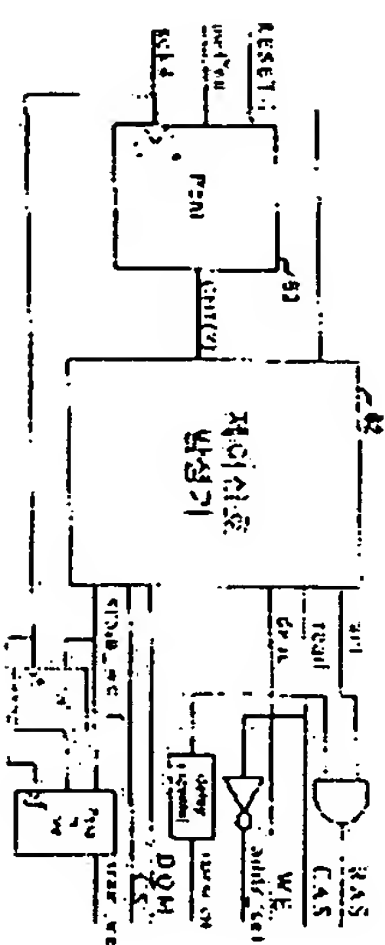


Figure 18

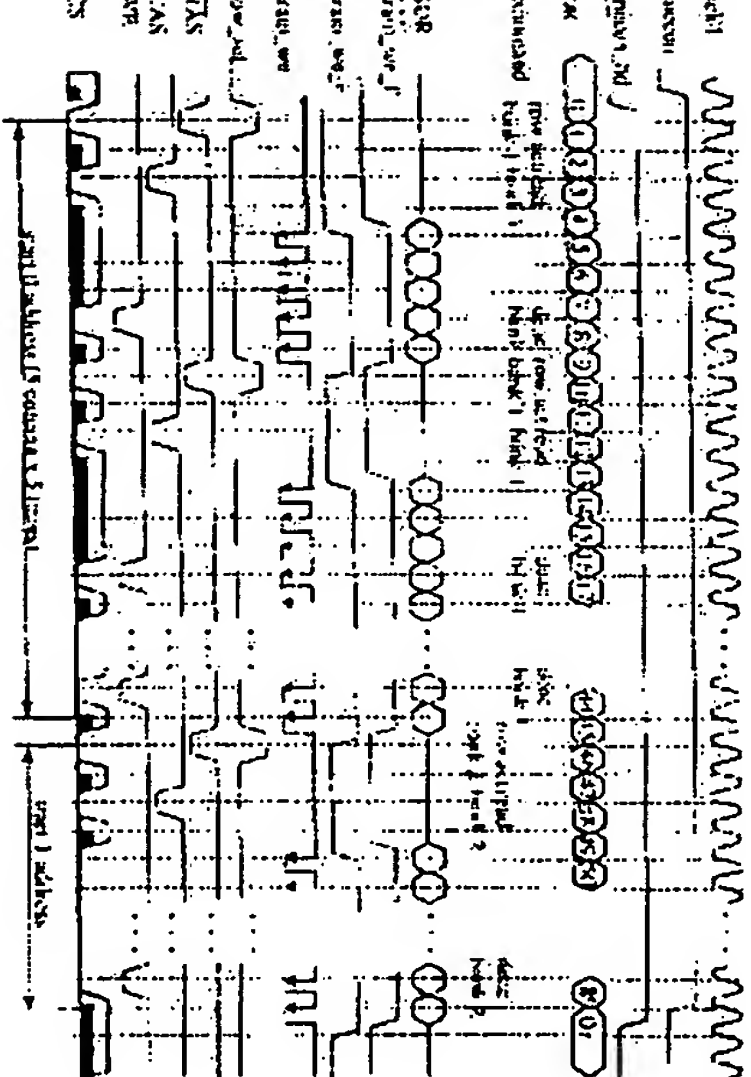
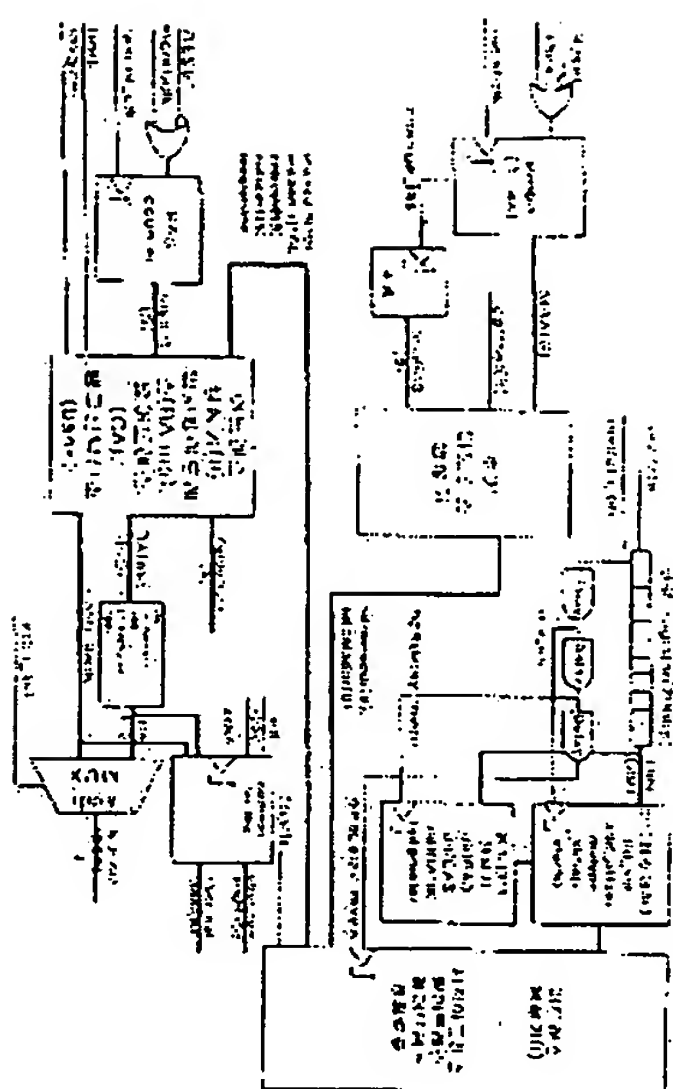
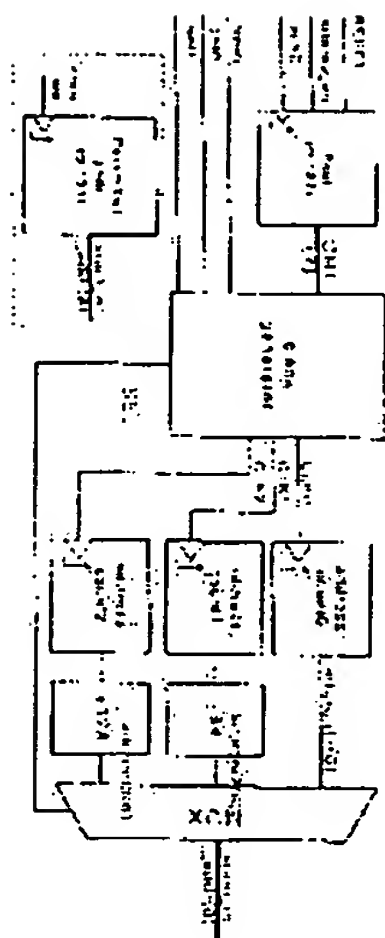


Figure 19

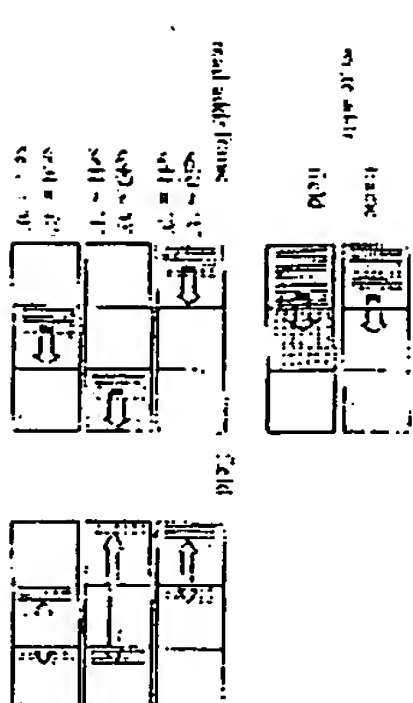
5B18



5B19

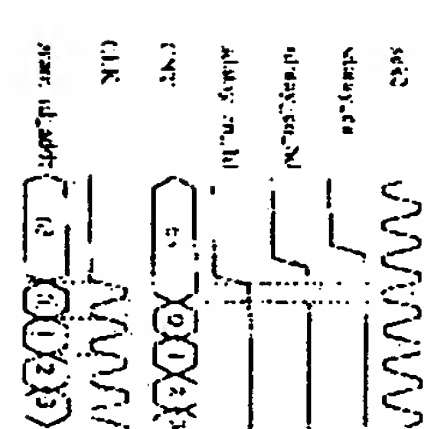


5B20

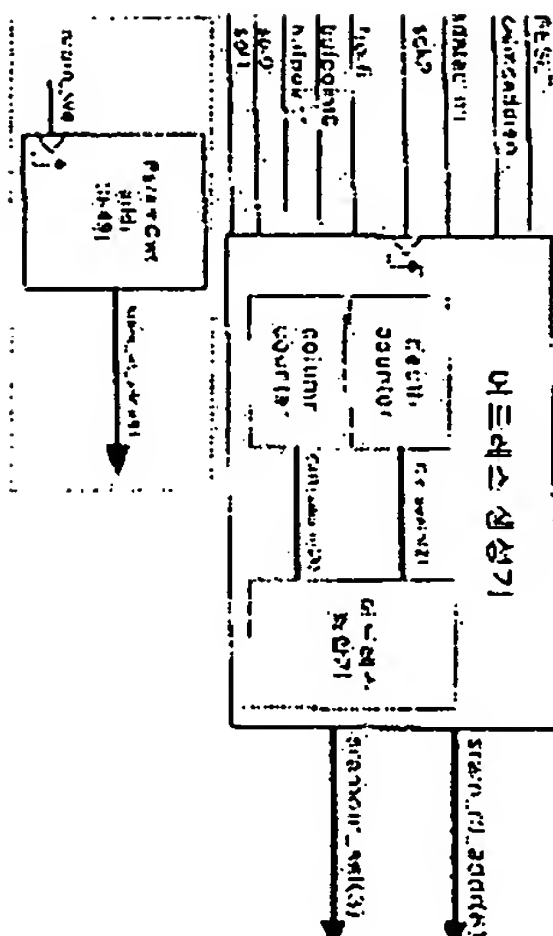


18-17

5B21



5B22



18-18